

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04040525 A

(43) Date of publication of application: 10 . 02 . 92

(51) Int. Cl

G06F 9/38

G06F 9/32

G06F 15/16

(21) Application number: 02148081

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 06 . 06 . 90

(72) Inventor: KUDO MAKOTO

(54) PARALLEL PROCESSING TYPE
MICROPROCESSOR

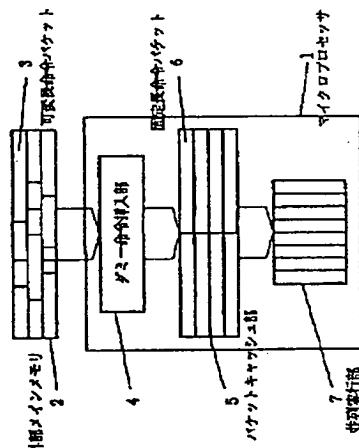
memory size.

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To realize a parallel processing without expanding an external memory size by providing a dummy instruction inserting part which has a variable length instruction packet on an external main memory, inserts a dummy instruction into the variable length instruction packet and converts it to a fixed length instruction packet.

CONSTITUTION: The microprocessor is provided with the dummy instruction inserting part 4 which has the variable length instruction packet 3 which can vary the number of in-packet instructions on the external main memory 2, inserts a dummy instruction after fetching the variable length instruction packet and converts it to the fixed length instruction packet. Also, this microprocessor is provided with a packet cache part 5 which caches the fixed length instruction packet 6 and can execute a random access from a parallel executing part 7, and the parallel executing part 7 for fetching a packet to be executed from the packet cache part 5 and decoding and executing in parallel each instruction in the packet. In such a manner, the parallel processing can be executed without expanding an external main



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-40525

⑬ Int. Cl.⁵

G 06 F 9/38
9/32
15/16

識別記号

庁内整理番号
7927-5B
9189-5B
9190-5L

⑭ 公開 平成4年(1992)2月10日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 並列処理型マイクロプロセッサ

⑯ 特 願 平2-148081

⑰ 出 願 平2(1990)6月6日

⑱ 発明者 工藤 真 長野県飯能市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代理人 弁理士 鈴木 喜三郎 外1名

明細書

マイクロプロセッサ。

1. 発明の名称

並列処理型マイクロプロセッサ

2. 特許請求の範囲

プログラムにおいて並列に実行できる命令を命令パケットにまとめメインメモリ上に格納し、その命令パケットをフェッチしパケット中の命令列を並列に実行する並列処理システムにおいて、外部メインメモリ上にはパケット内命令数が可変にできる可変長命令パケットを持ち、可変長命令パケットをフェッチ後ダミー命令（データ変更を伴わない命令）を挿入して固定長命令パケットに変換するダミー命令挿入部、さらに固定長命令パケットをキャッシュし並列実行部よりランダムアクセス可能なパケットキャッシュ部、そして実行するパケットをパケットキャッシュ部よりフェッチしパケット内の各命令を並列にデコードし実行する並列実行部を持つことを特徴とする並列処理型

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、並列に実行できる命令を命令パケットにまとめメインメモリ上に持ちパケット中の命令列を並列に実行する並列処理型のマイクロプロセッサに関する。

[従来の技術]

従来の並列処理型のマイクロプロセッサは第2回に示す様に、外部メインメモリ12上に固定長命令パケット13を格納し、マイクロプロセッサ11内の並列実行部14でパケット内の命令列をそのまま並列実行する。通常はパケット内の命令順は並列実行部14の並列機能に合うように命令の種類で固定化されている。

[発明が解決しようとする課題]

しかし従来技術による方法では、並列化しきれ

ないパケット内の命令があるときはダミー命令を入れておく必要があるため外部メインメモリ上で命令パケットの格納サイズが大きくなるという問題点を有する。例えば1つの命令パケットが8命令分の長さを持っていても、平均すると3-4命令ぐらいしか同じパケットに入らないので、半分以上はダミー命令を入れることになる。

[課題を解決するための手段]

本発明の並列処理型マイクロプロセッサは、第1図に示すように、外部メインメモリ2上にはパケット内命令数が可変にできる可変長命令パケット3を持ち、可変長命令パケットをフェッチ後ダミー命令を挿入して固定長命令パケットに変換するダミー命令挿入部4、さらに固定長命令パケット6をキャッシュし並列実行部7よりランダムアクセス可能なパケットキャッシュ部5、そして実行するパケットをパケットキャッシュ部5よりフェッチしパケット内の各命令を並列にデコードし実行する並列実行部7を持つことを特徴とする。

- 3 -

rst Input - First Output 方式のプリフェチキューリングにいれてゆく。第4図(b)の例ではヘッダ、整数演算命令、load命令、分岐命令の順にプリフェッチキューリングに入っている。まずプリフェッチキューリングよりセレクタ24にヘッダ情報がはいる。つぎにヘッダ情報の10101に従い5命令長パケット26の左端より右端へ1ならプリフェッチキューリングより命令を入力し0ならダミー命令を入力してゆく。5命令長パケット26にいれ終わったら、パケットキャッシュ27に移す。並列実行ユニット28は実行するパケットをパケットキャッシュよりフェッチし実行する。並列実行ユニット28中には、整数演算処理29、浮動小数点処理30、load処理31、store処理32、分岐処理33が含まれ、それぞれの処理命令フィールドを並列にデコードし実行することにより並列処理可能となっている。なお、プログラムを並列処理可能なパケット化することは人の手では不可能なため、通常は並列化コンバイラがおこなう。

- 5 -

-202-

[実施例]

以下本発明について図面に基づき詳細に説明する。第3図は実施例の構成図である。外部メインメモリ22には可変長命令パケットにより命令が格納されている。マイクロプロセッサ21はこの可変長命令パケットを固定長命令パケットに変換する必要がある。パケット内の命令フォーマットを第4図に示す。第4図(a)は固定長命令パケットである。これは第3図の並列実行ユニット28の並列処理にあわせて決められる。第4図(b)は可変長命令パケットを固定長命令パケットに変換する方法を示す。可変長命令パケット42は4命令分のフィールドを持ちヘッダ1命令と有効な3命令で構成される。まずヘッダ内に10101という情報を持つ。これは固定長命令パケットに対応し1の部分は命令が有効で0の部分はダミー命令をいれることを意味する。これにより固定長命令パケット43が作成できる。第3図では1命令ずつ外部メインメモリ22よりフェッチしF1

- 4 -

[発明の効果]

以上述べたように本発明によれば、外部メインメモリ上に可変長命令パケットを持ち、可変長命令パケットをダミー命令を挿入して固定長命令パケットに変換するダミー命令挿入部、固定長命令パケットをキャッシュするパケットキャッシュ部、そしてパケット内の命令を並列に実行する並列実行部を持つことにより、外部メモリーサイズをあまり大きくすることなくマイクロプロセッサは並列実行を行うことができる。

4. 図面の簡単な説明

第1図は本発明の構成図。

第2図は従来例の構成図。

第3図は本発明の一実施例の構成図。

第4図は本発明の一実施例のパケット説明図。

1...マイクロプロセッサ

2...外部メインメモリ

- 6 -

- 3 . . . 可変長命令パケット
 4 . . . ダミー命令挿入部
 5 . . . パケットキャッシュ部
 6 . . . 固定長命令パケット
 7 . . . 並列実行部
 11 . . . マイクロプロセッサ
 12 . . . 外部メインメモリ
 13 . . . 固定長命令パケット
 14 . . . 並列実行部
 21 . . . マイクロプロセッサ
 22 . . . 外部メインメモリ
 23 . . . ブリフェッチキュー
 24 . . . セレクタ
 25 . . . ダミー命令
 26 . . . 5命令長パケット
 27 . . . パケットキャッシュ
 28 . . . 並列実行ユニット
 29 . . . 整数演算処理
 30 . . . 浮動小数演算処理
 31 . . . l o a d 処理

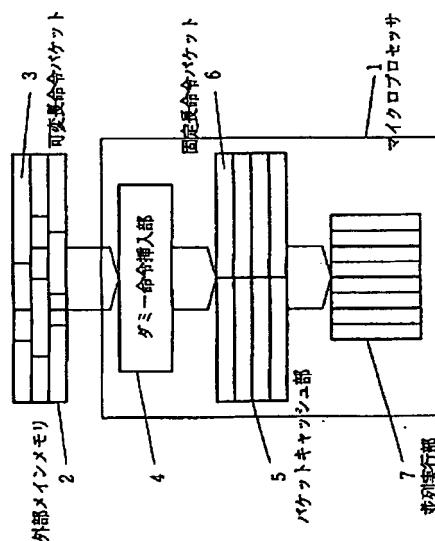
- 32 . . . s t o r e 処理
 33 . . . 分岐処理
 41 . . . 固定長命令パケット
 42 . . . 可変長命令パケット例
 43 . . . 固定長命令パケット例

以上

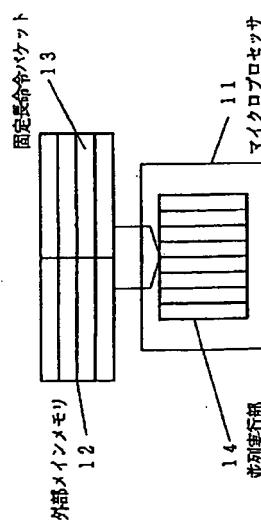
出願人セイコーエプソン株式会社
代理人弁理士鈴木喜三郎（他1名）

- 7 -

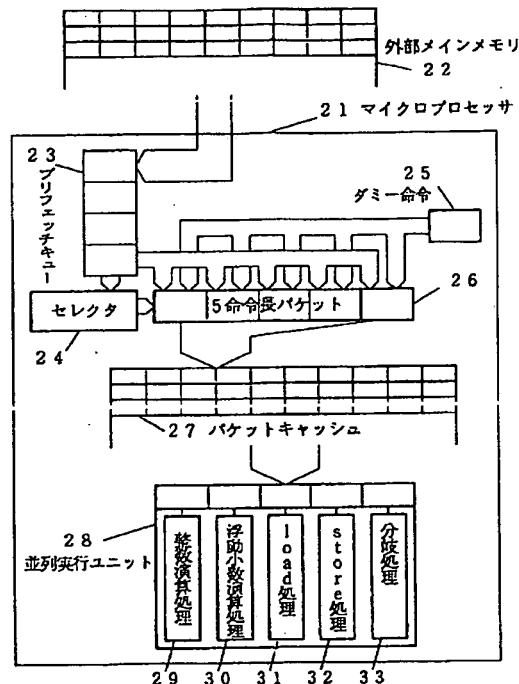
- 8 -



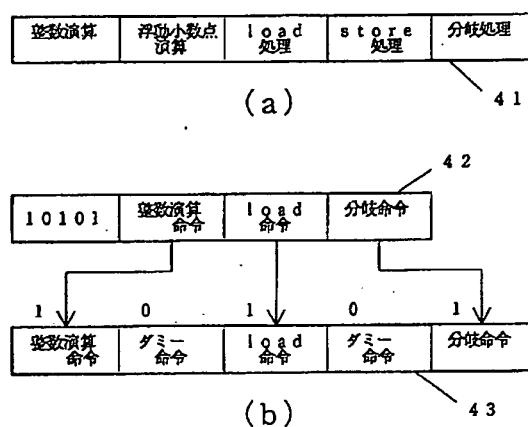
第1図



第2図



第3図



第4図